

Extracts of Japan

APPLICATION NUMBER : 2002040103  
 PUBLICATION DATE : 06-02-02

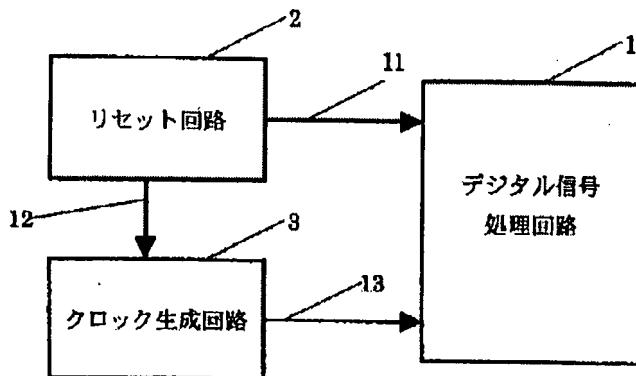
APPLICATION DATE : 18-07-00  
 APPLICATION NUMBER : 2000217947

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : MIZUSHIMA TETSUYA;

INT.CL. : G01R 31/28 G01R 31/3183 G06F 1/24  
 G06F 11/22

TITLE : DEVICE FOR INITIALIZING DIGITAL  
 SIGNAL PROCESSING CIRCUIT, TEST  
 PATTERN, TESTING APPARATUS,  
 MEDIUM, AND INFORMATION  
 AGGREGATE



ABSTRACT : PROBLEM TO BE SOLVED: To initialize a digital signal processing circuit, without having to perform complicated delay adjustments or special circuit measures in a device for initializing the digital signal processing circuit.

SOLUTION: A reset circuit 2 generates a clock mask control signal 12, immediately prior to releasing a reset signal 11 from a reset state. It is possible for a clock creating circuit 3 to initialize the digital signal processing circuit, by halting one clock of clocks according to the clock mask control signal 12 without having to perform complicated circuit and delay adjustments.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特願2002-40103

(P2002-40103A)

(43)公開日 平成14年2月6日(2002.2.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
G 0 1 R 31/28		G 0 6 F 11/22	3 1 0 B 2 G 0 3 2
31/3183		G 0 1 R 31/28	H 5 B 0 4 8
G 0 6 F 1/24			Q 5 B 0 5 4
11/22	3 1 0	G 0 6 F 1/00	3 5 0 A

審査請求 未請求 請求項の数 7 OL (全 9 頁)

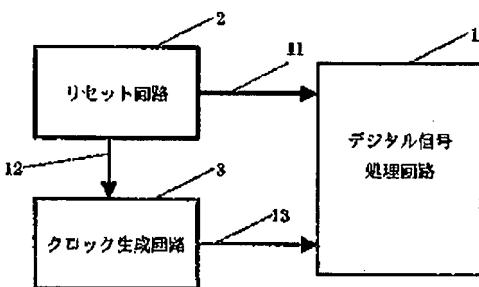
(21)出願番号	特願2000-217947(P2000-217947)	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成12年7月18日(2000.7.18)	(72)発明者	水島 哲也 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	100092794 弁理士 松田 正道
			F ターム(参考) 20032 AA01 AA04 AD06 AE10 AE12 AC07 AC10
			5B048 AA11 DD05 DD07 DD08 5B053 AA11 AA13 BB06 CC07

(54)【発明の名称】 デジタル信号処理回路初期化装置、テストパターン、テスト装置、媒体及び情報集合体

## (57)【要約】

【課題】 デジタル信号処理回路を初期化する回路において、複雑な遅延調整や、特殊な回路対策をすることなくデジタル回路の初期化を行うことを目的とする。

【解決手段】 リセット回路2はリセット信号11をリセット状態から解除する直前にクロックマスク制御信号12を発生する。クロック生成回路3はクロックマスク制御信号12に従って1クロック分クロックを停止させることにより、複雑な回路や遅延調整をすることなく、デジタル信号処理回路の初期化を行うことができる。



(2) 特開2002-40103

1

2

## 【特許請求の範囲】

【請求項1】 デジタル信号処理回路を初期化するデジタル信号処理回路初期化装置であって、クロック信号に従い状態の遷移と保持を制御し、リセット信号に従い前記保持した状態を初期化するデジタル信号処理手段と、

前記リセット信号を生成するリセット信号生成手段と、前記クロック信号を生成するクロック信号生成手段とを備え。

前記クロック信号生成手段は、前記リセット信号の変化に従い、前記生成するクロック信号の周期を変化させることを特徴とするデジタル信号処理回路初期化装置。

【請求項2】 前記生成するクロック信号の周期を変化させると、前記リセット信号がリセット状態からリセット解除状態に変化する時刻を含む所定の時間、通常のクロック周期よりも大きな周期の前記クロック信号を生成することを特徴とする請求項1記載のデジタル信号処理回路初期化装置。

【請求項3】 デジタル信号処理を行う信号処理回路をテストするためのテスト装置に入力するテストパターンであって、

前記デジタル信号処理回路に状態の遷移と保持とを制御するクロック信号と、

前記デジタル信号処理回路が前記保持した状態を初期化させるリセット信号とを備え、

前記クロック信号は、前記リセット信号がリセット状態からリセット解除状態に変化する時刻を含む所定の時間、通常よりも大きな周期とすることを特徴とするテストパターン。

【請求項4】 デジタル信号処理を行うデジタル信号処理回路をテストするためのテスト装置であって、

前記デジタル信号処理回路に状態の遷移と保持とを制御させ、前記デジタル信号処理回路に供給されるクロック信号を生成するクロック信号生成手段と、前記デジタル信号処理回路が前記保持した状態を初期化させ、前記デジタル信号処理回路に供給されるリセット信号を生成するリセット信号生成手段とを備え、

前記クロック信号生成手段は、前記クロック信号生成手段は、前記リセット信号の変化に従い、前記生成するクロック信号の周期を変化させることを特徴とするテスト装置。

【請求項5】 前記生成するクロック信号の周期を変化させると、前記リセット信号がリセット状態からリセット解除状態に変化する時刻を含む所定の時間、通常のクロック周期よりも大きな周期の前記クロック信号を生成することを特徴とする請求項4記載のテスト装置。

【請求項6】 請求項1～5のいずれかに記載のデジタル信号処理回路初期化装置またはテスト装置の全部または一部の手段の全部または一部の機能をコンピュータにより実行させるためのプログラム及び/またはデータを

担持した媒体であって、コンピュータにより処理可能なことを特徴とする媒体。

【請求項7】 請求項1～6のいずれかに記載のデジタル信号処理回路初期化装置またはテスト装置の全部または一部の手段の全部または一部の機能をコンピュータにより実行させるためのプログラム及び/またはデータであることを特徴とする情報集合体。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデジタル信号を処理するデジタル信号処理回路を初期化するデジタル信号処理回路初期化装置、デジタル信号を処理するデジタル信号処理回路をテストするテスト装置、デジタル信号を処理するデジタル信号処理回路に供給するテストパターン、媒体及び情報集合体に関するものである。

【0002】

【従来の技術】 従来、映像信号処理回路の初期化手段は、例えば特開平5-233850公報に開示されているクロック切替回路がある。

【0003】 デジタル信号処理初期化回路の一般的な従来例の構成を図4に示す。

【0004】 リセット信号S1を生成するリセット回路42と、クロックS2を生成するクロック生成回路43と、リセット信号S1によって回路を初期化し、クロックS2の立ち上がりエッジに従って動作するデジタル信号処理回路1とにより構成される。

【0005】 デジタル信号処理回路1は、図5に示すようにandやorなどの論理で構成されるランダムロジック回路45と、クロックS2を配線及びバッファ48を経由したクロック信号S8の立ち上がりエッジでランダムロジック回路の出力S5を出力S6として保持するフリップフロップ46とにより構成される。

【0006】 また、フリップフロップ46は、リセット信号S1を配線およびバッファ47を経由したリセット信号S7がアクティブの場合にクロックS8とランダムロジックの出力S5の動作にかかわらず出力S6を初期化する。

【0007】 また、フリップフロップ46の出力S6はランダムロジック45にフィードバックされる。

【0008】 フリップフロップ46のクロックS8に対する動作タイミングを図6に示す。フリップフロップが正常に入力データS5を出力データS6として保持するためには、クロックS8の立ち上がりエッジよりSetup Timeで示す時間以上前から入力データS5が確定している必要があります。また、クロックS8の立ち上がり後Hold Timeで示す時間以上入力データS5が確定している必要があります。

【0009】 フリップフロップ46の初期化タイミングを図7に示す。

【0010】 リセット信号S7がReset Timeで示す時間以上Lowの時にフリップフロップ46の出力データS6が所定の値に初期化される。リセット信号S7がReset Timeで示

(3)

特開2002-40103

3

す時間以上highの時にフリップフロップ46の出力の初期化は解除されクロック58に従って動作する。

【0011】

【発明が解決しようとする課題】このように、デジタル信号処理回路を初期化する場合、リセット信号により内部のフリップフロップを初期化するが、クロック58の立ち上がりのタイミングと、リセット57の立ち上がりタイミングが非常に近くなつた場合、フリップフロップの動作が確定しなくなる。

【0012】これは、LSIのテスト時においては、出力が確定できないためLSIのテストとしては致命傷となる。実動作においては、初期化動作が確定しないため、動作が不安定となつてしまつ。

【0013】動作タイミングを図8に示す。クロック58の立ち上がりとリセット57の立ち上がりとが同時となるため、フリップフロップ46の出力56が不定となつてしまつ。図5に示すようにランダムロジック45に不定が FIFOでバックされているため、以降フリップフロップ46の出力は不定になつてしまつ。

【0014】図8を拡大したものを図9に示す。クロック52は配線やバッファ49による遅延Clock Delayが発生し、リセット51は配線やバッファ47による遅延Reset Delayが発生する。その結果、フリップフロップに供給されるリセット57の解除タイミングがフリップフロップに供給されるクロック58の立ち上がりエッジ付近になつてしまい、フリップフロップの出力56が確定しなくなつてしまつ。

【0015】これを防ぐためには、LSI設計時に、クロック52-クロック58間遅延Clock Delayとリセット51-リセット57間の遅延Reset Delayを厳密に管理する必要が生じ、配線遅延が問題となつてゐる昨今の大集成回路においては非常に負荷のある作業となつてしまつ。

【0016】特にリセット信号は、LSI内の全てのフリップフロップに供給されるため遅延時間を調整するのは複雑な作業となる。

【0017】すなわち、クロックの立ち上がりのタイミングと、リセット信号の立ち上がりタイミングが近くなつた場合、フリップフロップの動作が確定しなくなり、初期化出来なくなるという課題がある。

【0018】本発明は、上記課題を考慮し、複雑な遅延調整や、特殊な回路対策をすることなくデジタル回路を初期化することが出来るデジタル信号処理回路初期化装置、テストパターン、テスト装置、媒体及び情報集合体を提供することを目的とするものである。

【0019】

【課題を解決するための手段】上述した課題を解決するために、第1の本発明（請求項1に対応）は、デジタル信号処理回路を初期化するデジタル信号処理回路初期化装置であつて、クロック信号に従い状態の遷移と保持を制御し、リセット信号に従い前記保持した状態を初期化

4

するデジタル信号処理手段と、前記リセット信号を生成するリセット信号生成手段と、前記クロック信号を生成するクロック信号生成手段とを備え、前記クロック信号生成手段は、前記リセット信号の変化に従い、前記生成するクロック信号の周期を変化させることを特徴とするデジタル信号処理回路初期化装置である。

【0020】また、第2の本発明（請求項2に対応）は、前記生成するクロック信号の周期を変化させるとは、前記リセット信号がリセット状態からリセット解除状態に変化する時刻を含む所定の時間、通常のクロック周期よりも大きな周期の前記クロック信号を生成することを特徴とする第1の本発明に記載のデジタル信号処理回路初期化装置である。

【0021】また、第3の本発明（請求項3に対応）は、デジタル信号処理を行う信号処理回路をテストするためのテスト装置に入力するテストパターンであつて、前記デジタル信号処理回路に状態の遷移と保持とを制御させるクロック信号と、前記デジタル信号処理回路が前記保持した状態を初期化させるリセット信号とを備え、前記クロック信号は、前記リセット信号がリセット状態からリセット解除状態に変化する時刻を含む所定の時間、通常よりも大きな周期とすることを特徴とするテストパターンである。

【0022】また、第4の本発明（請求項4に対応）は、デジタル信号処理を行うデジタル信号処理回路をテストするためのテスト装置であつて、前記デジタル信号処理回路に状態の遷移と保持とを制御させ、前記デジタル信号処理回路に供給されるクロック信号を生成するクロック信号生成手段と、前記デジタル信号処理回路が前記保持した状態を初期化させ、前記デジタル信号処理回路に供給されるリセット信号を生成するリセット信号生成手段とを備え、前記クロック信号生成手段は、前記クロック信号生成手段は、前記リセット信号の変化に従い、前記生成するクロック信号の周期を変化させることを特徴とするテスト装置である。

【0023】また、第5の本発明（請求項5に対応）は、前記生成するクロック信号の周期を変化させるとは、前記リセット信号がリセット状態からリセット解除状態に変化する時刻を含む所定の時間、通常のクロック周期よりも大きな周期の前記クロック信号を生成することを特徴とする第4の本発明に記載のテスト装置である。

【0024】また、第6の本発明（請求項6に対応）は、第1～5の本発明のいずれかに記載のデジタル信号処理回路初期化装置またはテスト装置の全部または一部の手段の全部または一部の機能をコンピュータにより実行させるためのプログラム及び／またはデータを複数した媒体であつて、コンピュータにより処理可能なことを特徴とする媒体である。

50 【0025】また、第7の本発明（請求項7に対応）

(4)

特開2002-40103

5

は、第1～5の本発明のいずれかに記載のデジタル信号処理初期化装置またはテスト装置の全部または一部の手段の全部または一部の機能をコンピュータにより実行させるためのプログラム及び／またはデータであることを特徴とする情報集合体である。

【0026】本発明は、クロックの周期を制御することにより、リセット信号の変化付近にクロックによる回路動作タイミングが発生しないように構成しているので、複雑な回路構成や、厳密な遅延調整をすることなくデジタル信号処理回路の初期化を実現することができる。

【0027】

【発明の実施の形態】本発明は、クロック信号に従い状態の遷移と保持を制御し、リセット信号に従い前記保持した状態を初期化するデジタル信号処理手段と、リセット信号を生成するリセット信号生成手段と、前記リセットの変化に従い前記クロックの動作を変化させるクロック生成手段とにより構成され、初期化状態から初期化解除状態に変化する前後でクロックの変化が発生しないようにクロックの周期を制御できるように構成したものであり、複雑な回路構成や、厳密な遅延調整をすることなくデジタル信号処理回路の初期化を実現することができる。

【0028】また、本発明は、デジタル信号処理を行う信号処理回路をテストするためのテスト装置に入力するテストパターンであって、信号処理回路を初期化するためのリセット信号と、リセット信号がリセット状態からリセット解除状態に変化する付近で通常よりも大きな周期とするトグル波形であり前記信号処理回路を動作させるクロック信号とから構成され、リセット信号とリセット信号が初期化状態から初期化解除状態に変化する前後で変化が発生しないようなクロックをテストするデジタル信号処理回路に供給するようにに構成したものであり、複雑な回路構成や、厳密な遅延調整をすることなくデジタル信号処理回路のテストを実現することができる。

【0029】また、本発明は、信号処理回路を初期化するためのリセット信号と、前記リセット信号がリセット状態からリセット解除状態に変化する付近で通常よりも大きな周期とするトグル波形であり前記信号処理回路を動作させるクロック信号とから構成されるテストパターンと、このテストパターンに従ってデジタル信号処理回路の供給するためのリセット信号とクロック信号を発生する手段とから構成され、リセット信号とリセットが初期化状態から初期化解除状態に変化する前後で変化が発生しないようなクロックをテストするデジタル信号処理回路に供給するように構成したものであり、複雑な回路構成や、厳密な遅延調整をすることなくデジタル信号処理回路のテストを実現することができる。

【0030】また、本発明は、デジタル信号処理を行うデジタル信号処理回路をテストするためのテスト装置であって、前記デジタル信号処理回路を初期化するための

6

リセット信号を生成するリセット信号生成手段と、前記リセットの変化に従い周期を変化させる前記信号処理回路の動作タイミングを与えるクロックを生成するクロック生成手段とから構成され、リセット信号とリセットが初期化状態から初期化解除状態に変化する前後で変化が発生しないようなクロックをテストするデジタル信号処理回路に供給するように構成したものであり、複雑な回路構成や、厳密な遅延調整をすることなくデジタル信号処理回路のテストを実現することができる。

10. 【0031】以下、本発明の実施形態について、図面を用いて説明する。

【0032】図1に本実施の形態のデジタル信号処理初期化回路の構成を示す。

【0033】本実施の形態のデジタル信号処理初期化回路は、リセット信号11を生成するリセット回路2とクロック13を生成するクロック生成回路3とリセット信号11によって状態を初期化しクロック13の立ち上がりエッジに従って動作するデジタル信号処理回路1とから構成される。

20. 【0034】デジタル信号処理回路1は、図2に示すようにandやorなどの論理で構成されるランダムロジック回路5とランダムロジック回路の出力14をクロック13を配線及びバッファ8を経由したクロック信号17の立ち上がりエッジで保持し、出力15するフリップフロップ6とにより構成される。

【0035】また、フリップフロップ6は、リセット信号11を配線およびバッファ7を経由したリセット信号16がアクティブの場合にクロック17とランダムロジックの出力14の動作にかかわらず初期化する。

30. 【0036】また、フリップフロップ6の出力15はランダムロジック5にフィードバックされる。

【0037】フリップフロップ6のクロック17に対する動作タイミングは図6に示すフリップフロップ46のクロック56と同様であり、フリップフロップ6が正常に入力データ14を出力データ15として保持するためには、クロック17の立ち上がりエッジよりSetup Timeで示す時間だけ前から入力データ14が確定している必要があり、また、クロック17の立ち上がり後Hold Timeで示す時間以上入力データ14は確定している必要がある。

40. 【0038】フリップフロップ6のリセット信号15による初期化タイミングは図7に示すフリップフロップ46のリセット信号57による初期化タイミングと同様であり、リセット信号16がReset Timeで示す時間以上Lowの時にフリップフロップ6の出力データ1が所定の値に初期化し、リセット信号15がReset Timeで示す時間以上Highの時にクロック17に従って動作する。

【0039】リセット回路2はリセット信号11をリセット状態(low)から解除(high)する直前にクロックマスク制御信号12を発生する。クロック生成回路3はクロックマスク制御信号12に従って1クロック分クロックを停止

50. マスク制御信号12に従って1クロック分クロックを停止

(5)

特開2002-40103

7

8

させる。

【りり40】図3に動作タイミングを示す。リセット11がリセット状態(low)からリセット解除状態(high)に変化するタイミングで、クロック11を1クロック分停止させる(つまりクロックの周期を2倍とする)。フリップフロップ5に供給されるクロック17とリセット16は、配線遅延とバッファ16、17により、外部供給クロック13とリセット11に比べ遅延するが、1クロック分のタイミング余裕があるために、遅延差に影響される事なく安定に初期化を行うことができる。

【りり41】このような処理により、複雑な回路構成や、厳密な遅延調整をすることなくデジタル信号処理回路の安定な初期化を実現することができる。

【りり42】なお、以上の説明ではクロックを1クロック停止させたが、1クロック以上であれば同様の効果を得られる。クロックをnクロック停止させることは、クロックの周期をn倍することと等価である。また、上記説明ではクロックをマスクしたが、クロックマスクに限らずクロックの動作タイミングをリセット解除タイミングから避けるようにクロックの周期を大きくすれば同様の効果が得られる。

【りり43】また、以上の説明では、デジタル信号処理内にクロック生成回路及びリセット生成回路を含んでいたが、デジタル信号処理回路内にクロック生成回路とリセット回路が含まれている必要はない。例えばリセット信号をマイクロプロセッサなどで生成することも可能である。

【りり44】また、LSIテスト装置においてリセットに解除タイミングとクロックによる回路動作タイミングが同時に発生すると、安定に初期化できず期待値と出力を一致させることができなくなり、テストとしては致命傷となるが、上記実施の形態と同様に、リセット信号とデジタル信号処理回路の動作タイミングをリセット解除タイミングから避けるようにの周期を大きくしたクロックを生成することにより、安定な初期化動作が可能となる。

【りり45】また、通常のテスト装置においてもテスト装置に与えるテストパターンをデジタル信号処理回路の動作タイミングをリセット解除タイミングから避けるようにクロックの周期を大きくするパターンにすることにより、同様の効果を得ることができる。

【りり46】以上のように本実施の形態によれば、初期化状態から初期化解除状態に変化する前後でクロックの変化が発生しないようにすることにより、複雑な回路構成や、厳密な遅延調整をすることなくデジタル信号処理回路の初期化を実現することができる。特に、昨今の微細化が進んだ大規模LSIにおいては配線遅延が問題になっているが、本発明によりリセット信号とクロック信号の遅延を調整する必要がなくなり設計が容易になるという産業上の多大な効果を得ることができる。

【りり47】なお、本実施の形態のデジタル信号処理初期化回路は本発明のデジタル信号処理回路初期化装置の例であり、本実施の形態のデジタル信号処理回路1は本発明のデジタル信号処理手段の例であり、本実施の形態のリセット回路2は本発明のリセット信号生成手段の例であり、本実施の形態のクロック生成回路3は本発明のクロック信号生成手段の例である。

【りり48】さらに、本発明のデジタル信号処理回路初期化装置またはテスト装置の全部または一部の手段の全部または一部の機能をコンピュータにより実行させるためのプログラム及び/またはデータを担持した媒体であって、コンピュータにより処理可能なことを特徴とする媒体も本発明に属する。

【りり49】さらに、本発明のデジタル信号処理回路初期化装置またはテスト装置の全部または一部の手段の全部または一部の機能をコンピュータにより実行させるためのプログラム及び/またはデータであることを特徴とする情報集合体も本発明に属する。

【りり50】さらに、本発明のデータとは、データ構造、データフォーマット、データの種類などを含む。また、本発明の媒体とは、ROM等の記録媒体、インターネット等の伝送媒体、光・電波・音波等の伝送媒体を含む。また、本発明の担持した媒体とは、例えば、プログラム及び/またはデータを記録した記録媒体、やプログラム及び/またはデータを伝送する伝送媒体等を含む。また、本発明のコンピュータにより処理可能とは、例えば、ROMなどの記録媒体の場合であれば、コンピュータにより読み取り可能であることであり、伝送媒体の場合であれば、伝送対象となるプログラム及び/またはデータが伝送の結果として、コンピュータにより取り扱えることであることを含む。また、本発明の情報集合体とは、例えば、プログラム及び/またはデータ等のソフトウェアを含むものである。

【りり51】さらに、上記実施の形態のいずれかにデジタル信号処理初期化回路の全部または一部の回路の全部または一部の機能をコンピュータにより実行させるためのプログラム及び/またはデータを記録したプログラム記録媒体は、コンピュータにより読み取り可能であり、読み取られた前記プログラム及び/またはデータが前記コンピュータと協働して前記機能を実行するプログラム記録媒体であっても良い。

【りり52】

【発明の効果】以上説明したところから明らかなように、本発明は、複雑な遅延調整や、特殊な回路対策をすることなくデジタル回路を初期化することが出来るデジタル信号処理初期化手段、テストパターン、テスト装置、媒体及び情報集合体を提供することが出来る。

【図面の簡単な説明】

【図1】本発明の実施例によるデジタル信号処理初期化回路を示すブロック図

59

(6)

特開2002-40103

10

9

【図2】本発明の実施例によるデジタル信号処理回路を示す図

【図3】本発明の初期化動作の動作タイミングを示すタイミングチャート図

【図4】従来のデジタル信号処理初期化回路を示すブロック図

【図5】従来の実施例によるデジタル信号処理回路を示す図

【図6】フリップフロップのクロックによる動作タイミングを示すタイミングチャート図

【図7】フリップフロップのリセットによる初期化タイミングチャート図

\* ミングを示すタイミングチャート図

【図8】従来の初期化動作の動作タイミングを示すタイミングチャート図

【図9】従来の初期化動作の動作タイミングを示すタイミングチャートの拡大図

【符号の説明】

1. . . クロック生成回路

2. . . リセット回路

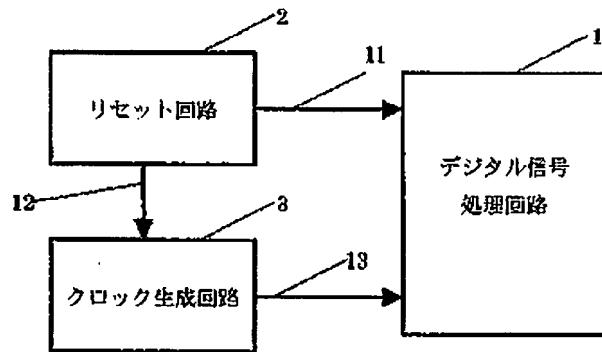
3. . . デジタル信号処理回路

4. . . フリップフロップ

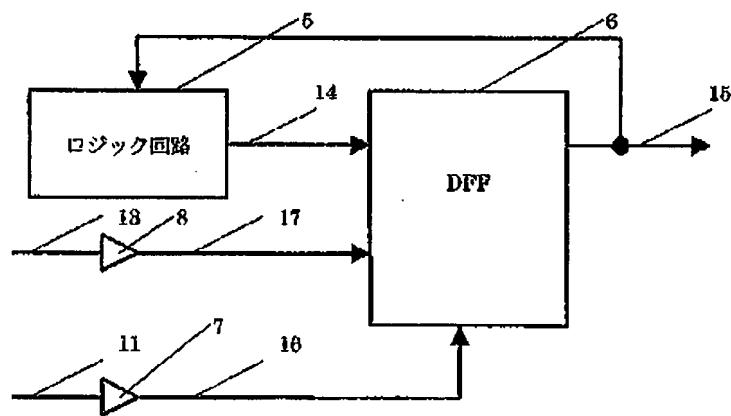
10 5. . . ロジック回路

6. . . フリップフロップ

【図1】



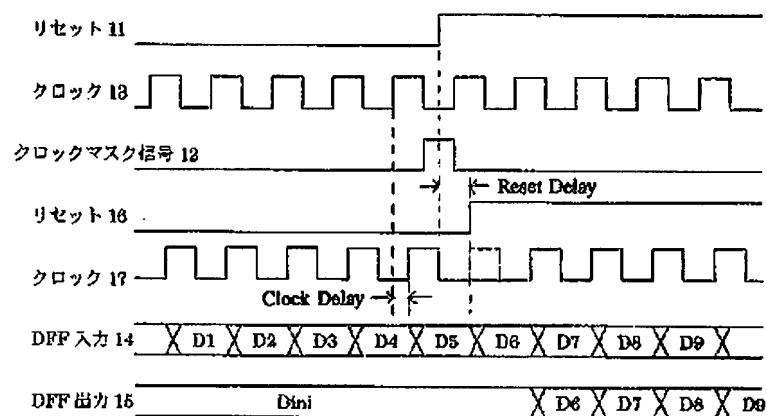
【図2】



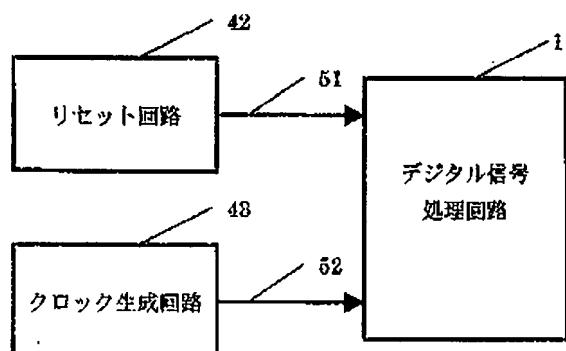
(7)

特開2002-40103

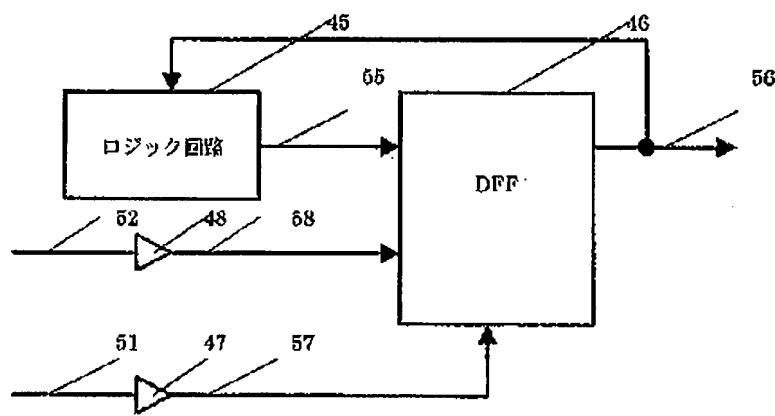
【図3】



【図4】



【図5】



(9)

特開2002-40103

[図9]

